

②

3-01115-TH

⑨ 日本国特許庁(J P)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-54841

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月8日

H 01 L 21/66
G 01 R 31/26
H 01 L 21/66

E 7013-5F
Z 8203-2C
S 7013-5F

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 B i C M O S 半導体装置

⑯ 特 願 平1-189964

⑰ 出 願 平1(1989)7月21日

⑱ 発 明 者 市 野 尚 治 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 出 願 人 富 士 通 ヴィエルエス
アイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

⑳ 代 理 人 弁 理 士 井 桁 貞 一 外2名

明 細 書

ことを特徴とするB i C M O S 半導体装置。

1. 発明の名称

B i C M O S 半導体装置

3. 発明の詳細な説明

2. 特許請求の範囲

1 半導体チップ上に配置されたB i C M O S
の複合ゲート又はC M O Sゲートにて構成されて
いる内部ゲート(20)と、

内部ゲート(20)の外側部に配置され、入力
段がM O Sトランジスタにて構成されるとともに、
出力段がバイポーラトランジスタにて構成され内
部ゲート(20)からの入力信号をT T Lレベル
に変換して出力するB i C M O S複合ゲートより
なる複数の出力バッファ(21)と

を備えたB i C M O S半導体装置において、

配線を介して前記出力バッファ(21)に接続
され、同バッファ(21)の出力段のバイポーラ
トランジスタをオフ状態に制御し出力端子をフロ
ーティング状態にする制御信号を入力するコント
ロール端子(22)を半導体チップ上に形成した

(概要)

B i C M O S半導体装置に係り、詳しくは内部
ゲートがC M O Sゲートのみで又はB i C M O S
の複合ゲートで構成され、出力バッファがB i C
M O Sの複合ゲートで構成された半導体装置に関
し、

B i C M O S半導体装置内のM O Sトランジス
タのリーク電流を検出することができ、出荷時の
試験の際に確実に不良品を判別し取り除くことが
できるB i C M O S半導体装置を提供することを
目的とし、

半導体チップ上に配置されたB i C M O Sの複
合ゲート又はC M O Sゲートにて構成されている
内部ゲートと、内部ゲートの外側部に配置され、
入力段がM O Sトランジスタにて構成されるとと
もに、出力段がバイポーラトランジスタにて構成

され内部ゲートからの入力信号をTTLレベルに変換して出力するBiCMOS複合ゲートよりなる複数の出力バッファとを備えたBiCMOS半導体装置において、

配線を介して前記出力バッファに接続され、同バッファの出力段のバイポーラトランジスタをオフ状態に制御し出力端子をフローティング状態にする制御信号を入力するコントロール端子を半導体チップ上に形成した構成にした、

〔産業上の利用分野〕

本発明はBiCMOS半導体装置に係り、詳しくは内部ゲートがCMOSゲートのみで又はBiCMOSの複合ゲートで構成され、出力バッファがBiCMOSの複合ゲートで構成された半導体装置に関するものである。

BiCMOS半導体装置においてCMOSゲートに動作電源を印加した場合には同MOSゲートに定常電流は流れない、即ちノーマリオフが保証されていなければならない。その結果、BiCM

OS半導体装置の出荷時に同半導体装置がノーマリオフか否かの試験（スタンバイ電流測定試験）が要求されている。

〔従来の技術〕

従来、BiCMOS半導体装置においては内部ゲートがCMOSゲートのみで又はBiCMOSの複合ゲートで構成され、出力バッファも同様にBiCMOSの複合ゲートで構成されている。そして、スタンバイ電流測定を行なうとすると、第4図に示す入力段1がMOSTランジスタで、出力段2がバイポーラトランジスタで構成されている出力バッファにおいて動作電源Vccを入出力段1、2にそれぞれ印加して出力端子3から流れる定常電流を測定することが考えられる。

この時、入力端子4は内部ゲートからハイレベルの信号が出力されずローレベルの状態であることを前提として測定していることから、入力段1においてそれぞれpMOSTランジスタ5、7及びnMOSTランジスタ6、8から構成される2

つのインバータ回路にて出力段2のトランジスタ9はオフ状態に保持される。

一方、pMOSTランジスタ10及びnMOSTランジスタ11で構成されるインバータ回路にて出力段2のトランジスタ12、13はオン状態に保持される。又、pMOSTランジスタ14及びnMOSTランジスタ15で構成されるインバータ回路にて出力段2のトランジスタ16はオン状態に保持される。さらに、前記pMOSTランジスタ5及びnMOSTランジスタ6で構成されるインバータ回路にて次の段のpMOSTランジスタ17はオフ状態に保持される。

従って、この動作電源Vccが印加された定常状態において入力段1の各インバータ回路はカットオフ状態に保持され電流は流れないのに対し出力段2の出力端子3はハイレベルとなりトランジスタ12、13を介して定常電流が流れる。

〔発明が解決しようとする課題〕

しかしながら、この定常状態においてトランジ

スタ12、13を介して定常電流が流れる一方で、例えば入力段1のMOSTランジスタの一部又は内部ゲートのMOSTランジスタの一部に不良品があり、微小リーク電流が流れている場合、そのリーク電流は定常電流に対して非常に微小なことから検出が難しくスタンバイ電流の測定は実質的に不可能であった。その結果、その不良製品が出荷されてしまう虞があった。

本発明は上記問題点を解決するためになされたものであって、その目的はBiCMOS半導体装置内のMOSTランジスタのリーク電流を検出することができ、出荷時の試験の際に確実に不良品を判別し取り除くことができるBiCMOS半導体装置を提供することにある。

〔課題を解決するための手段〕

第1図は本発明の原理説明図である。

内部ゲート20は半導体チップの中央部に配置され、BiCMOSの複合ゲート又はCMOSゲートにて構成されている。出力バッファ21は内

特開平3-54841(3)

部ゲート20の外側部に配置され、内部ゲート20の出力信号を入力する入力段はMOSトランジスタで構成され、その入力段の出力信号をTTLレベルに変換する出力段はバイポーラトランジスタで構成されている。

半導体チップ上に形成された試験時のみに使用されるコントロール端子22は同チップ上に形成される配線層を介して出力バッファ21に接続され、同バッファ21の出力段のバイポーラトランジスタをオフ状態にして出力端子がフローティング状態（ハイインピーダンス）となるように同バッファ21を制御する制御信号を入力する。

〔作用〕

出荷時にコントロール端子22に制御信号を入力した状態で、動作電源Vccを半導体装置に印加すると、出力バッファ21の出力段のバイポーラトランジスタは制御信号に基づいてオフ状態に制御されることから、出力バッファ21の出力端子は電氣的にフローティング状態（ハイインピー

ダンス）に制御される。その結果、出力バッファ21における出力段のバイポーラトランジスタには定常電流が流れないことになる。

従って、この状態で動作電源電流を測定すれば、バッファ21のMOSトランジスタ又は内部ゲートのMOSトランジスタの不良の有無を判別することが可能となる。

〔実施例〕

以下、本発明を具体化した一実施例を図面に就いて説明する。

第2図は本発明の一実施例における半導体装置を示す概略構成図、第3図は本実施例の出力バッファを示す電気回路図であり、第1、4図と同様の構成については同一の符号を付して説明する。

第2図において、チップ30の中央にはバイポーラ・CMOS複合ゲートよりなる内部ゲート20が形成され、同内部ゲート20を囲むように出力バッファ21及び入力バッファ32が形成されている。そして、チップ30の外周寄りには人

出力バッファ32、21を囲むように複数のボンディングパッド33が形成され、各バッファ21、32に配線接続される。

ボンディングパッド33の側には1つのコントロール端子22が設けられ、同端子22はアルミ配線34を介して前記出力バッファ21に配線接続されているとともに、プルアップ用抵抗35を介して動作電源Vccが印加されるようになっている。

次に、前記出力バッファ21の詳細を第3図に基づいて説明する。

前記コントロール端子22はMOS入力段1に設けたpMOS及びnMOSトランジスタ36、37よりなるインバータ回路の入力端子に対して配線接続される。又、コントロール端子22はpMOS及びnMOSトランジスタ5、6よりなるインバータ回路のグラウンド側に設けたnMOSトランジスタ38のゲート端子及び同インバータ回路の出力端子と動作電源投入ライン間に設けたpMOSトランジスタ39のゲート端子にそれぞれ

配線接続されている。

前記pMOS及びnMOSトランジスタ36、37よりなるインバータ回路の出力端子は、pMOS及びnMOSトランジスタ10、11よりなるインバータ回路の動作電源側に設けたpMOSトランジスタ40のゲート端子及び同インバータ回路の出力端子とグラウンドライン間に設けたnMOSトランジスタ41のゲート端子にそれぞれ配線接続されている。

上記のように構成した半導体装置のスタンバイ電流測定を行なう際の作用について説明する。

今、半導体装置に動作電源Vccのみを印加した状態では、各出力バッファ21の入力端子4は不良品でない限りローレベルの信号が入力している。この状態で前記コントロール端子22にローレベルの信号を入力すると、前記nMOSトランジスタ38はオフし、pMOSトランジスタ39はオンする。従って、pMOSトランジスタ17はオフ状態になるとともに、pMOS及びnMOSトランジスタ7、8よりなるインバータ回路の

出力端子はローレベルとなる。その結果、バイポーラトランジスタ9はオフ状態となる。

一方、pMOS及びnMOSトランジスタ36、37よりなるインバート回路の出力端子はハイレベルとなる。この時、pMOSトランジスタ40はオフし、nMOSトランジスタ41はオンするので、バイポーラトランジスタ12のベース電位はローレベルとなりバイポーラトランジスタ12、13がオフする。

従って、バイポーラトランジスタ9、12、13がオフするため、出力端子3は電氣的にフローティング状態となり、動作電源Vccよりバイポーラトランジスタ12、13を介して定常電流が流れることはない。又、nMOSトランジスタ11、15、38及びpMOSトランジスタ7、40がオフであるため、定常ではMOS入力段1を介して動作電源側からグランド側に電流が流れることはない。

この状態において、動作電源Vccの印加に基く電流の有無を測定し電流を測定した時、その

以上詳述したように、本発明によればBiCMOS半導体装置内のMOSトランジスタのリーク電流を検出することができ、出荷時の試験の際に確実に不良品を判別し取り除くことができる優れた効果を有する。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明の一実施例における半導体装置を示す概略構成図、

第3図は本実施例の出力バッファを示す電気回路図、

第4図は従来の出力バッファを示す電気回路図である。

図において、

20は内部ゲート、

21は出力バッファ、

22はコントロール端子である。

特開平3-54841 (4)

電流は出力バッファ21のMOS入力段1又は内部ゲート20のリーク電流と判別することができ、不良品を取り除くことができる。

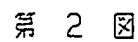
又、コントロール端子22は半導体装置の出荷時には絶縁層にて被覆され使用不能にするようになっているので、通常の使用時にはプルアップ用抵抗35を介して常にハイレベルに保持されているため、出力バッファ21の通常の動作を保証することができるようになっている。

尚、本実施例では全出力バッファ21を1つのコントロール端子22に接続したが、コントロール端子を複数設けてそれぞれの出力バッファに割り当てて実施してもよい。

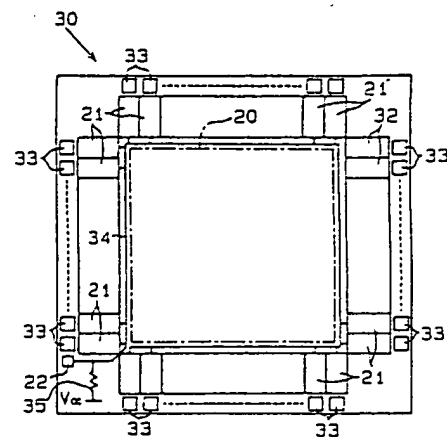
又、前記出力バッファ21の回路構成に限定されるものではなく、要はコントロール端子22からの制御信号が入力されたとき、バイポーラトランジスタ9、12、13がオフし、出力端子3がフローティング状態になる回路構成であればよい。

【発明の効果】

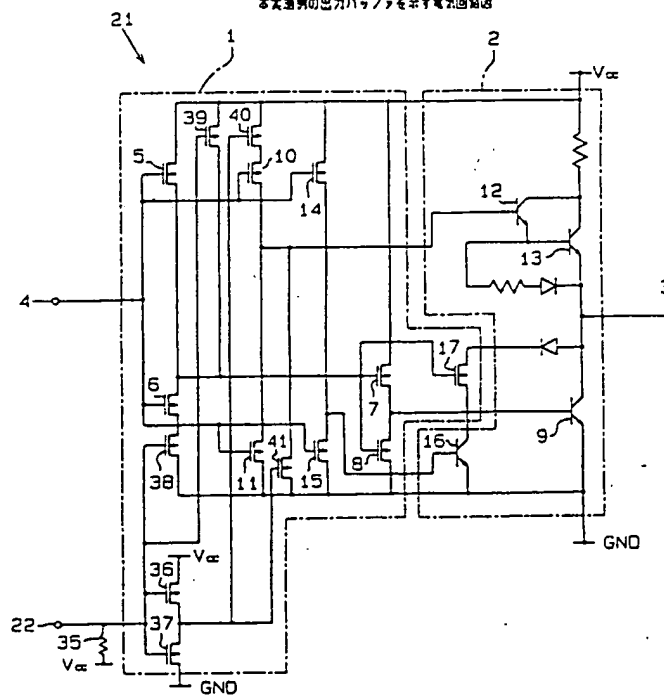
本発明の原理説明図



本発明の一実施例における半導体装置を示す回路構成図

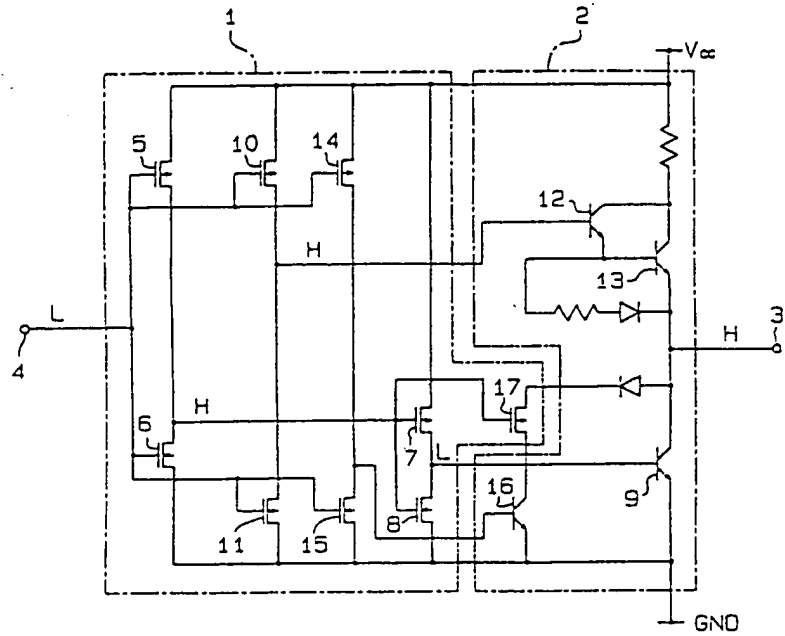


右表測定の出力バッファを示す電気回路図



特開平3-54841(6)

従来の出力バッファを示す電気回路図



BiCMOS SEMICONDUCTOR DEVICE

Patent Number: JP3054841
Publication date: 1991-03-08
Inventor(s): ICHINO NAOHARU
Applicant(s):: FUJITSU LTD; others: 01
Requested Patent: ☐ JP3054841
Application Number: JP19890189964 19890721
Priority Number(s):
IPC Classification: H01L21/66 ; G01R31/26
EC Classification:
Equivalents:

Abstract

PURPOSE:To make it possible to detect a leakage current in a MOS transistor and to contrive reliably the discrimination and removal of a defective in a test at the time of delivery by a method wherein the title device is provided with a control terminal, which controls the bipolar terminals of the output stages of output buffers in a state that the transistors turned-OFF.

CONSTITUTION:A control terminal 22, which is used at the time only of a test, is provided on a semiconductor chip and is connected to output buffers 21 through a wiring layer. At the time of delivery, an operating power supply is applied to the terminal 22 in a state that a control signal is inputted in the terminal 22 and bipolar transistors of the output stages of the buffers 21 are turned-OFF. Thereby, output terminals of the buffers 21 are brought into a floating state and a steady-state current is not made to flow through the bipolar transistors of the output stages. Accordingly, if an operating power current is measured in this state, the presence or absence of the failure in the buffers 21 or a MOS transistor of an internal gate 20 can be discriminated and the discrimination and removal of a defective car reliably be conducted.